

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094419

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H03L 7/099
H03L 7/18
// H03K 3/03

(21)Application number : 11-270537

(71)Applicant : TOSHIBA INFORMATION SYSTEMS (JAPAN)
CORP
TOSHIBA CORP

(22)Date of filing : 24.09.1999

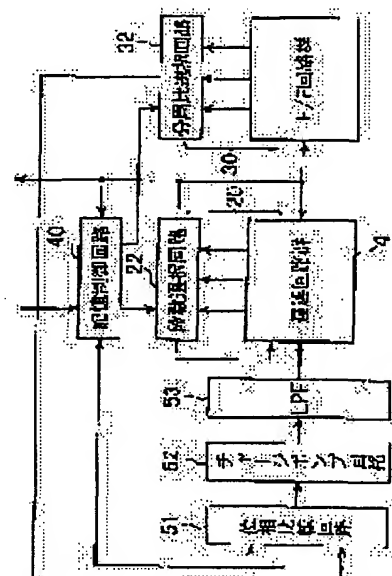
(72)Inventor : YUME TAKAO

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stable supply of a PLL output signal whose jitter component is minimized over a wide frequency range without being affected by an environmental change in a PLL circuit that can simply obtain a desired lock range even when a PLL output frequency is changed by a considerable range.

SOLUTION: The PLL circuit employing a ring oscillator with a variable frequency configuration for a VCO 20 is provided with a storage/control circuit 40 that stores information of number of delay circuit stages of the ring oscillator having the lock range in a central region of which includes a designated PLL output frequency. The storage/control circuit selectively controls number of stages of the delay circuits 21 so that the ring oscillator includes the designated PLL output frequency in its control region and also a frequency division ratio of a frequency divider circuit 30 so that the frequency division ratio corresponds to number of multiple of the PLL output frequency with respect to a reference signal frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



(誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2001-94419(P2001-94419A)
 (43)【公開日】平成13年4月6日(2001. 4. 6)
 (54)【発明の名称】PLL回路
 (51)【国際特許分類第7版】

H03L 7/099
 7/18
 // H03K 3/03

【Fi】

H03K 3/03
 H03L 7/08 F
 7/18 Z

【審査請求】未請求

【請求項の数】5

【出願形態】OL

【全頁数】6

(21)【出願番号】特願平11-270537

(22)【出願日】平成11年9月24日(1999. 9. 24)

(71)【出願人】

【識別番号】391016358

【氏名又は名称】東芝情報システム株式会社

【住所又は居所】神奈川県川崎市川崎区日進町7番地1

(71)【出願人】

【識別番号】000003078

【氏名又は名称】株式会社東芝

【住所又は居所】神奈川県川崎市幸区堀川町72番地

(72)【発明者】

【氏名】湯目 孝夫

【住所又は居所】神奈川県川崎市川崎区日進町7番地1 東芝情報システム株式会社内

(74)【代理人】

【識別番号】100058479

【弁理士】

【氏名又は名称】鈴江 武彦(外6名)

【テーマコード(参考)】

5J043

5J106

【Fターム(参考)】

5J043 AA01 AA14 AA22 EE01 LL01

5J106 AA04 CC01 CC24 CC38 CC41 DD32 GG01 HH01 HH10 JJ01 KK12 KK25 KK36 PP02 PP03 QQ01 QQ07 QQ12 RR12 RR17 RR

(57)【要約】

【課題】PLL出力周波数を大幅に変更する際でも所望のロックレンジを簡単に得るように、環境変化の影響を受けずに広い周波数範囲にわたって、ジッタ成分が最小限に抑制されたPLL出力信号を安定に供給する。

【解決手段】VCO20として可変周波数構成のリングオシレータを使用したPLL回路において、指定されるPLL出力周波数を中央領域に含むロックレンジを有するリングオシレータの遅延回路段数の情報を記憶しておく記憶・制御回路40を具備し、リングオシレータは、指定されたPLL出力周波数を中央領域に含むロックレンジを有するように遅延回路21の段数が記憶・制御回路により選択制御され、分周回路30は、基準信号周波数に対するPLL出力周波数の逡倍数に対応する分周比が選択制御される。

【特許請求の範囲】

【請求項1】VCOとして使用されるリングオシレータと、前記リングオシレータの出力信号を分周する分周回路と、前記分周回路の分周出力と基準信号を比較する位相比較回路と、前記位相比較回路の比較出力に対応し、前記

リングオシレータに入力される制御電圧を生成する制御電圧生成回路と、指定されたPLL出力周波数に基づき前記リングオシレータの遅延回路段数を制御する制御信号を生成する制御回路とを具備したことを特徴とするPLL回路。

【請求項2】 前記指定されたPLL出力周波数を中央領域に含むロックレンジを持つリングオシレータの遅延回路段数情報を記憶するデータテーブルをさらに具備し、前記制御回路は、指定されたPLL出力周波数を参照して前記データテーブルの読み出しを制御するとともに、読み出し情報に基づいて前記リングオシレータの遅延回路段数および前記分周回路の分周比を制御するための制御信号を生成することを特徴とする請求項1記載のPLL回路。

【請求項3】 前記指定されたPLL出力周波数と前記位相比較回路に入力する基準信号周波数との関係に対応して適正なロックレンジを持つリングオシレータの遅延回路段数情報を記憶するデータテーブルをさらに具備し、前記制御回路は、指定されたPLL出力周波数および前記基準信号周波数を参照して前記データテーブルの読み出しを制御するとともに、読み出し情報に基づいて前記リングオシレータの遅延回路段数および前記分周回路の分周比を制御するための制御信号を生成することを特徴とする請求項1記載のPLL回路。

【請求項4】 前記リングオシレータは、多段接続されたインバータ遅延回路と、前記多段接続されたインバータ遅延回路の奇数段の出力信号を択一的に選択して初段遅延回路への帰還ループに供給する第1のマルチプレクサとを具備することを特徴とする請求項1乃至3のいずれか1項に記載のPLL回路。

【請求項5】 前記分周回路は、多段接続されたフリップフロップ回路と、前記多段接続されたフリップフロップ回路のうちの分周出力段を択一的に選択して前記位相比較回路に供給する第2のマルチプレクサとを具備することを特徴とする請求項1乃至4のいずれか1項に記載のPLL回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL(位相同期ループ)回路に係り、特にVCO回路(電圧制御発振回路)として多段接続された遅延回路の遅延段数を選択可能なリングオシレータを用いたPLL回路に関するもので、各種のLSI(大規模集積回路)に使用されるものである。

【0002】

【従来の技術】図5は、PLL回路の基本構成を示すブロック図である。

【0003】このPLL回路において、51は位相比較回路、52はチャージポンプ回路、53はLPF(低域通過フィルタ)、54はVCO回路、55は分周回路である。

【0004】図6は、図5中の分周回路55の一例を示すブロック図である。

【0005】この分周回路は、複数段のフリップフロップ(F/F)回路61からなる。

【0006】図7は、図5中のVCO回路54の一例を示すブロック図である。

【0007】このVCO回路は、電圧可変型のインバータ遅延回路IVがループ状に奇数段(本例では7段)接続された周波数可変型のリングオシレータからなる。

【0008】上記構成のリングオシレータをVCO回路54として用いる従来のPLL回路では、リングオシレータ54の出力を分周回路55でM分周し、この分周出力と基準信号を位相比較回路51で比較し、比較出力に対応した制御電圧をチャージポンプ回路52およびLPF53で生成してリングオシレータ54のインバータ遅延回路IVの遅延時間量制御入力として供給する。

【0009】これにより、分周出力の位相が基準信号の位相と同じになるようにループ制御が行われ、ループ制御が安定した状態(ロック状態)では、リングオシレータ54は基準信号周波数をM通倍した周波数で発振した状態になる。そして、リングオシレータ54の出力信号(PLL出力)は、例えばシステムクロックとして各種の回路に供給される。

【0010】なお、前記したようにPLL回路がロック状態になると、分周出力と基準信号に位相差が生じない限り、安定した状態が継続することになる。このロック状態をPLL回路が保持し得る周波数範囲をロックレンジと言う。このロックレンジは、インバータ遅延回路IVの段数により異なる。

【0011】図8は、図7のリングオシレータにおけるインバータ遅延回路IVの段数が5、7、9の場合とPLL出力周波数(システムクロック周波数)のロックレンジA、B、Cとの関係の一例を示す。

【0012】即ち、インバータ遅延回路IVの段数に応じて、遅延回路全体の遅延時間量はステップ状に大きく変化し、インバータ遅延回路IVの段数を固定した状態でインバータ遅延回路IVの遅延時間量を変化させる(変化量は小さい)ことにより遅延回路全体の遅延時間量は一定範囲内でほぼ連続的に変化する。

【0013】したがって、上記構成のPLL回路によれば、リングオシレータ54の発振周波数は、インバータ遅延回路IVの段数により大体は決まるが、インバータ遅延回路IVの遅延時間量の制御によりロック状態になる。

【0014】ところで、従来のリングオシレータをVCOとして用いたPLL回路においては、図8に示したように、インバータ遅延回路IVの段数を変更した場合に、それぞれのロックレンジの一端部同士がオーバーラップする。例えば遅延回路IVが7段のリングオシレータのロックレンジBと5段のリングオシレータのロックレンジAの一端部同士がオーバーラップし、遅延回路IVが7段のリングオシレータのロックレンジBと9段のリングオシレータのロックレンジCの一端部同士がオーバーラップする。

【0015】従来は、製品仕様のPLL出力周波数に応じてインバータ遅延回路IVの段数が一旦決定されると、その段数により決まるロックレンジ(周波数帯域幅)が固定的に決まる。

【0016】そして、固定的に決まっているロックレンジの境界付近でロック状態になる場合があるが、ロックレンジの境界付近(例えばロックレンジB、Cの境界付近をBCで表わしている)では、素子の製造ばらつきや環境条件等の影響により、PLL動作の安定性が確保されず、システムクロックの安定供給ができなくなる場合がある。

【0017】また、リングオシレータの遅延回路IVの段数により決まるロックレンジを拡大することが考えられるが、ロックレンジの境界付近では、やはりPLL動作の安定性が確保されず、PLL出力周波数のジッタ(出力信号のエッジの揺れ)が発生し、PLL特性が劣化する。

【0018】また、従来のPLL回路は、製品仕様に応じてPLL出力周波数を大幅に変更する毎に、所望のロックレンジが得られるようにリングオシレータの遅延回路IVの段数の変更設計(マスクパターン再設計)を行う必要があり、設計期間の延長によるコストアップをまねき、迅速な製品化を行う上で支障が生じていた。

【0019】

【発明が解決しようとする課題】上記したように従来のPLL回路にVCOとして使用されるリングオシレータは、固定的に決まっているロックレンジの境界付近でロック状態になる場合には、PLL動作の安定性が確保されず、システムクロックの安定供給ができなくなるという問題があった。また、製品仕様に応じてPLL出力周波数を大幅に変更する毎に、所望のロックレンジが得られるようにリングオシレータの遅延回路の段数の変更設計を行う必要があり、コストアップをまねき、迅速な製品化を行う上で支障が生じるという問題があった。

【0020】本発明は上記の問題点を解決すべくなされたもので、指定されたPLL出力周波数をロックレンジの中央領域に設定してPLL動作の安定性を確保でき、PLL出力周波数を大幅に変更する際でも所望のロックレンジが得られるようにリングオシレータの遅延回路の段数を簡単に切り換え可能であり、遅延回路の段数の変更設計を不要化でき、コストアップを抑制でき、迅速な製品化が可能になるPLL回路を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明のPLL回路は、VCOとして使用されるリングオシレータと、前記リングオシレータの出力信号を分周する分周回路と、前記分周回路の分周出力と基準信号を比較する位相比較回路と、前記位相比較回路の比較出力に対応し、前記リングオシレータに入力される制御電圧を生成する制御電圧生成回路と、指定されたPLL出力周波数に基づき前記リングオシレータの遅延回路段数を制御する制御信号を生成する制御回路とを具備したことを特徴とする。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0023】＜第1の実施の形態＞図1は、本発明の第1の実施の形態に係るPLL回路を示す。

【0024】図1において、51は位相比較回路、52はチャージポンプ回路、53はLPF(低域通過フィルタ)、20はVCO回路(リングオシレータ)、30は分周回路、40は記憶・制御回路である。

【0025】このPLL回路は、図5を参照して前述したPLL回路と比べて、次の2点が異なり、その他は同じであるので図5中と同一符号を付している。

【0026】(1)PLL出力周波数に対して適正なロックレンジを有するリングオシレータ20の遅延回路段数の情報を記憶しておき、所望時に指定されたPLL出力周波数に対する記憶情報に基づいてリングオシレータ20の遅延回路段数および分周回路30の分周比を制御する記憶・制御回路40が同じLSIチップ上に内蔵されている。上記適正なロックレンジとは、指定されたPLL出力周波数を中央領域に含むロックレンジ(このロックレンジの一端部ではなく、より中心部にPLL出力周波数が存在すること)を意味する。

【0027】なお、本例では、記憶・制御回路40は、PLL出力周波数だけではなく、PLL出力周波数と位相比較回路51に入力する基準信号の周波数との関係に対応して一層適正なロックレンジを有する遅延回路段数の情報を記憶している。

【0028】(2)所望時に、リングオシレータ20の遅延回路の遅延段数および分周回路30の分周数が記憶・制御回路40により切り換え制御される。

【0029】図2は、図1中のVCO回路20として使用されている周波数可変型のリングオシレータの一例を示すブロック図である。

【0030】このリングオシレータは、多段接続された電圧可変型のインバータ遅延回路21と、この多段接続されたインバータ遅延回路21のうちで使用する遅延段数を選択する段数選択回路22を有する。この段数選択回路22として、後述する周波数制御回路42からの制御信号に基づいて、多段接続されたインバータ遅延回路21の奇数段の出力信号を択一的に選択して初段遅延回路への帰還経路に供給する第1のマルチプレクサ22が用いられている。

【0031】なお、上記リングオシレータ20の出力信号は、分周回路30に供給されるとともにPLL出力信号として所望の回路(図示せず)に供給される。

【0032】上記多段接続されたインバータ遅延回路21のうちの選択した遅延段数とPLL出力周波数のロックレンジとの関係は、例えば図8を参照して前述したような特性(PLL出力周波数特性)を有する。

【0033】即ち、インバータ遅延回路21の遅延段数を変化させると遅延回路全体の遅延時間量はステップ状に大きく変化し、インバータ遅延回路21の遅延段数を固定した状態でインバータ遅延回路21の遅延時間量を制御電圧入力により変化させると遅延回路全体の遅延時間量は一定範囲内でほぼ連続的に変化する。

【0034】この場合、リングオシレータ20のインバータ遅延回路21の段数が2段異なるもの同士(例えば遅延回路21が7段、5段のもの、あるいは、遅延回路21が7段、9段のもの)は、ロックレンジの一端部がオーバーラップする。

【0035】図3は、図1中の分周回路30の一例を示すブロック図である。

【0036】この分周回路は、多段接続されたF/F回路31と、この多段接続されたF/F回路31のうちで使用する分周段数を選択する分周比選択回路32を有する。この分周比選択回路32として、周波数制御回路42からの制御信号に基づいて、多段接続されたF/F回路31のうちの分周出力段を択一的に選択して位相比較回路51に供給する第2のマルチプレクサ32が用いられている。この分周比は、基準信号周波数に対するPLL出力周波数の通倍数に対応する。

【0037】図4は、図1中の記憶・制御回路40の一例を示すブロック図である。

【0038】この記憶・制御回路は、指定されたPLL出力周波数を中央領域に含むロックレンジを持つリングオシレータの遅延回路段数情報を記憶するデータテーブル41(例えばマスクROM)と、外部から指定されたPLL出力周波数データおよび基準信号周波数またはVCO回路の出力周波数を参照してデータテーブル41の読み出しを制御するとともに、読み出し情報に基づいてリングオシレータ20の遅延回路段数および分周回路30の分周比を制御するための制御信号を生成する周波数制御回路42を有する。

【0039】ここでは、制御信号をデータテーブルの情報に基づいて生成しているが、基準周波数信号とVCO回路の出力周波数とから制御信号をハード的に生成してもよい。

【0040】図1の構成のPLL回路の基本的な動作は、図2に示したリングオシレータ20の出力を図3に示した分周回路30でM分周し、この分周出力と基準信号を位相比較回路51で比較し、比較出力に対応した制御電圧をチャージポンプ回路52およびLPF53で生成してリングオシレータ20のインバータ遅延回路21の遅延時間量制御入力として供給する。

【0041】これにより、分周出力の位相が基準信号の位相と同じになるようにループ制御が行われ、ループ制御が安定したロック状態では、リングオシレータ20は基準信号の周波数のM通倍した周波数で発振した状態になる。そして、リングオシレータ20の出力信号(PLL出力)は、例えばシステムクロックとして各種の回路に供給される。

【0042】そして、記憶・制御回路40は、所望時(例えば出荷段階とか実使用状態)にPLL出力周波数が指定されると、基準信号周波数を参照して適正なロックレンジを持つリングオシレータの遅延回路段数情報を読み出し、この読み出し情報に基づいてリングオシレータ20の遅延回路段数と分周回路30の分周比を制御する。

【0043】即ち、指定されたPLL出力周波数に対して、例えばリングオシレータの遅延段数=7の場合のロックレンジBよりも遅延段数=9の場合のロックレンジCの方が適正であれば、遅延段数=7の状態から遅延段数=9の状態へ切り換える。また、例えばリングオシレータの遅延段数=7の場合のロックレンジBよりも遅延段数=5の場合のロックレンジAの方が適正であれば、リングオシレータの遅延段数=7の状態から遅延段数=5の状態へ切り換える。

【0044】上記第1の実施の形態のPLL回路によれば、指定されたPLL出力周波数をロックレンジの中央領域に設定してPLL動作の安定性を確保できる。また、PLL出力周波数を大幅に変更する際でも、リングオシレータの遅延回路の段数を簡単に切り換え可能であり、所望のロックレンジが得られるようになり、PLL出力周波数をロックレ

ンジの中央領域に保つことが可能になる。

【0045】したがって、環境変化の影響を受けずに広い周波数範囲にわたって、ジッタ成分が最小限に抑制されたPLL出力信号を安定に供給することが可能になる。

【0046】しかも、PLL出力周波数を変更する際に、遅延回路段数の変更設計(マスクパターンの再設計)や設計期間の延長によるコストアップを防止でき、迅速な製品化が可能になる。

【0047】<第1の実施の形態の変形例>前記リングオシレータ20として、反転型のインバータ遅延回路21に代えて、非反転型の遅延回路を用いる場合には、帰還ループ内に反転回路を挿入すればよく、遅延回路の遅延段数は、奇数段に限らず、偶数段でもよい。

【0048】<第2の実施の形態>前記第1の実施の形態では、多段接続された遅延回路21のうちで使用する段数をマルチプレクサ22で選択したが、これに限らず、インバータ遅延回路21の接続段数が異なる複数組の遅延回路を設けておき、所望の接続段数を有する1組の遅延回路をマルチプレクサで選択するように変更することが可能である。

【0049】

【発明の効果】上述したように本発明のPLL回路によれば、指定されたPLL出力周波数をロックレンジの中央領域に設定してPLL動作の安定性を確保でき、PLL出力周波数を大幅に変更する際でもリングオシレータの遅延回路の段数を簡単に切り換え可能であり、所望のロックレンジが得られるようになり、PLL出力周波数をロックレンジの中央領域に保つことが可能になる。

【0050】したがって、環境変化の影響を受けずに広い周波数範囲にわたって、ジッタ成分が最小限に抑制されたPLL出力信号を安定に供給することが可能になり、しかも、遅延回路段数の変更設計を省略でき、コストアップを抑制でき、迅速な製品化が可能になる。

図の説明

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るPLL回路を示すブロック図。

【図2】図1中のVCO回路の一例を示すブロック図。

【図3】図1中の分周回路の一例を示すブロック図。

【図4】図1中の記憶・制御回路の一例を示すブロック図。

【図5】従来のPLL回路を示すブロック図。

【図6】図5中の分周回路の一例を示すブロック図。

【図7】図5中のVCO回路の一例を示すブロック図。

【図8】図7中のリングオシレータにおけるインバータ遅延回路の遅延段数の段数が5、7、9の場合におけるロックレンジの関係の一例を示す特性図。

【符号の説明】

20…VCO回路(リングオシレータ)、

21…遅延回路、

22…第1のマルチプレクサ、

30…分周回路、

31… F/F 回路、

32…第2のマルチプレクサ、

40…記憶・制御回路、

41…データテーブル、

42…周波数制御回路、

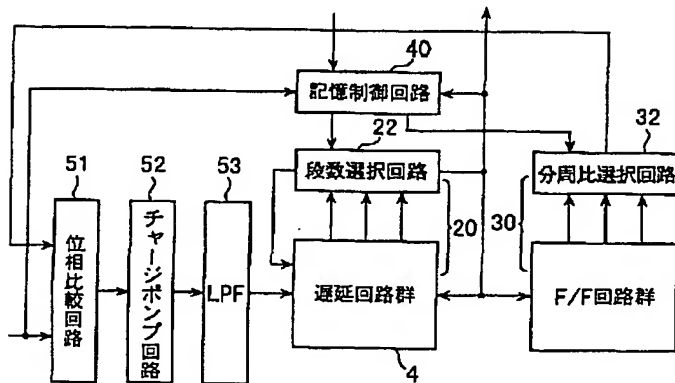
51…位相比較回路、

52…チャージポンプ回路、

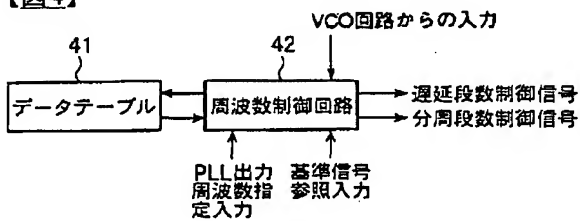
53…LPF。

図面

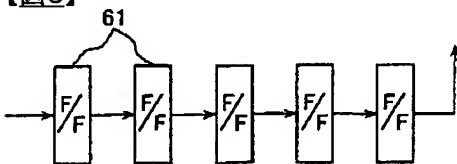
【図1】



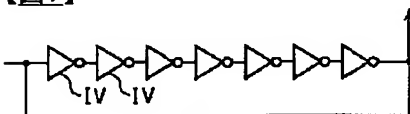
【図4】



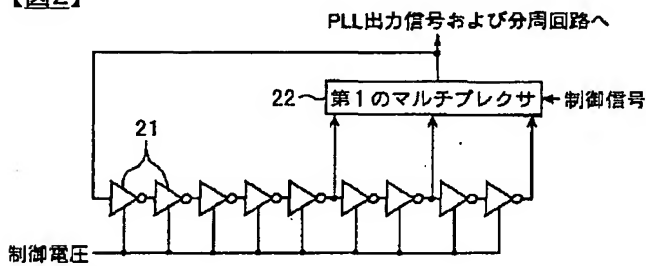
【図6】



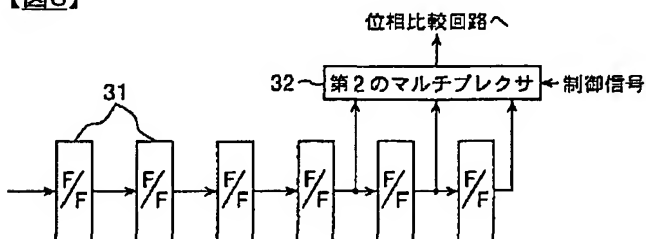
【図7】



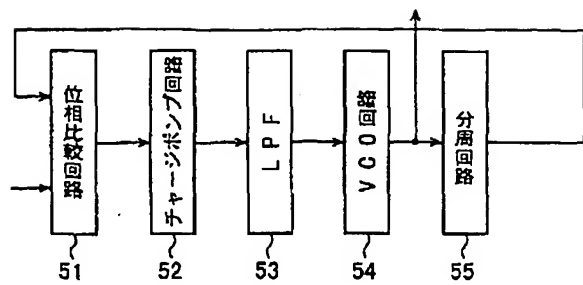
【図2】



【図3】



【図5】



【図8】

